

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-034412

(43)Date of publication of application : 07.02.1997

(51)Int.CI. G09G 3/36
G02F 1/133
H04N 5/66
H04N 9/30

(21)Application number : 07-200233

(71)Applicant : SONY CORP

(22)Date of filing : 14.07.1995

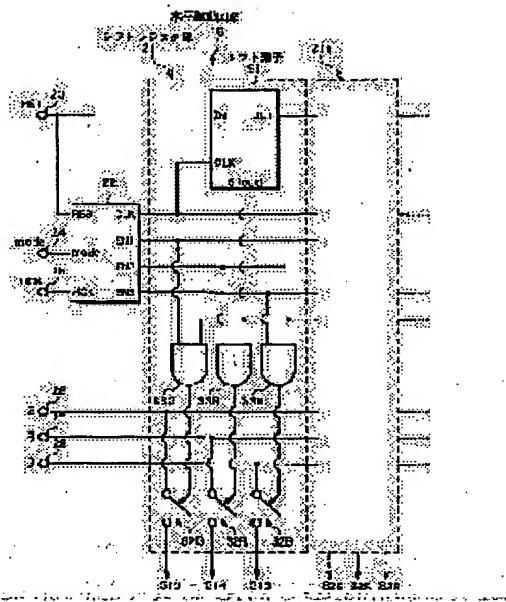
(72)Inventor : SEIHARA KOUICHIROU

(54) LIQUID CRYSTAL DISPLAY

(57)Abstract:

PROBLEM TO BE SOLVED: To drive video signals by different drive methods according to display objects without providing an external processing circuit for regulating phases of the video signals of respective colors.

SOLUTION: A control signal generation circuit 22 in a horizontal drive circuit 16 selects either of a high resolution mode 1 which samples video signals according to respective colors of G, R, and B for constituting a color image at different timings in order so as to supply them to signal lines matched to the respective colors in order, or a mode 2 which simultaneously samples the video signals of respective colors so as to simultaneously supply them to the signal lines matched to the respective colors. In the mode 1, picture element switches 32G, 32R, 32B sample the video signals of respective colors at different phases so as to supply them to the signal lines S1G, S1R, S1B in order. In the mode 2, the picture element switches 32G, 32R, 32B sample the video signals of respective colors in the same phase so as to supply them to the signal lines S1G, S1R, S1B simultaneously.



LEGAL STATUS

[Date of request for examination] 06.12.2000

[Date of sending the examiner's decision of rejection] 07.01.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In order to impress the electrical potential difference according to a video signal to a liquid crystal layer and the liquid crystal layer in each picture element Two or more scan electrode and two or more signal electrodes which were arranged so that it might intersect perpendicularly mutually, In order to impress the electrical potential difference according to a video signal to the liquid crystal layer in each picture element corresponding to the scan electrode chosen by the vertical-drive circuit which chooses a scan electrode, and this vertical-drive circuit It is the level actuation circuit which chooses a signal electrode and supplies a video signal. The sequential sampling of the video signal for every color for constituting a color picture is carried out to different timing. The liquid crystal display characterized by having sampled simultaneously the 1st mode which carries out sequential supply, and the video signal for every color to the signal electrode corresponding to each color, and equipping the signal electrode corresponding to each color with a selectable level actuation circuit for one side in the 2nd-mode supplied simultaneously.

[Translation done.]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the liquid crystal display which can be driven by the different actuation approach according to the object for a display.

[0002]

[Description of the Prior Art] The liquid crystal display is used for various applications, such as a display of OA (office automation) devices, such as a computer and a word processor, and a display of AV (audio BIJUARU) devices, such as a video camera. Since a color was specified for every dot when making the color display for OA perform to a liquid crystal display conventionally and there was the need of doubling the coordinate of each color and being crowded while making repeatability of each color good, the liquid crystal display had become circuitry simultaneously sampled as a lot in 3 dots about the video signal for

every color of R (red), G (green), and B (blue) inputted.

[0003] In order to see with linear repeatability since it is that from which the video signal for every color changes continuously unlike the case for OA on the other hand when making the monochrome display which does not use the color display or the color filter for AV for the liquid crystal display of an above-mentioned configuration perform, and to raise the upper resolution, the simultaneous sampling of the video signal for every above colors is not desirable. Then, it is the object which sees with linear repeatability conventionally and raises the upper resolution, and the processing circuit which adjusts the phase of the video signal for every color in order to amend [gap / the continuity of R, G, and B, / dot], namely, changes a phase was prepared outside.

[0004]

[Problem(s) to be Solved by the Invention] Thus, when changing the phase of a video signal according to the object for a display, the display of dedication must be developed according to the object for a display, or a processing circuit must be selectively added to a common liquid crystal display. However, developing the display of dedication has the trouble that cost increases. Moreover, in adding a processing circuit selectively to a common liquid crystal display, there is a trouble that it is difficult to adjust actuation of a circuit so that it may become proper actuation, where a processing circuit is added.

[0005] This invention was made in view of this trouble, and the technical problem is in offering the liquid crystal display it enabled it to drive by the different actuation approach according to the object for a display, without preparing outside the processing circuit which adjusts the phase of the video signal for every color.

[0006]

[Means for Solving the Problem] In order to impress the electrical potential difference according to a video signal to a liquid crystal layer and the liquid crystal layer in each picture element, the liquid crystal display of this invention Two or more scan electrode and two or more signal electrodes which were arranged so that it might intersect perpendicularly mutually, In order to impress the electrical potential difference according to a video signal to the liquid crystal layer in each picture element corresponding to the scan electrode chosen by the vertical-drive circuit which chooses a scan electrode, and this vertical-drive circuit It is the level actuation circuit which chooses a signal electrode and supplies a video signal. The sequential sampling of the video signal for every color for constituting a color picture is carried out to different timing. The 1st mode which carries out sequential supply, and the video signal for every color are simultaneously sampled to the signal electrode corresponding to each color, and the signal electrode corresponding to each color is equipped with a selectable level actuation circuit for one side in the 2nd mode supplied simultaneously.

[0007]

[Function] In the liquid crystal display of this invention, a level actuation circuit carries out a sequential sampling to timing which is different in the video signal for every color when the 1st mode is chosen, when sequential supply is carried out and the 2nd mode is chosen as the signal electrode corresponding to each color, samples the video signal for every color simultaneously, and supplies it to the signal electrode corresponding to each color simultaneously. The electrical potential difference according to the video signal for every color is impressed to the liquid crystal layer in the picture element corresponding to the signal electrode with which the video signal for every color was supplied among two or more picture elements corresponding to the scan electrode chosen by the vertical-drive circuit.

[0008]

[Example] Hereafter, the example of this invention is explained to a detail with reference to a drawing.

[0009] Drawing 1 is the circuit diagram showing the configuration of the liquid crystal display concerning the 1st example of this invention. Although the liquid crystal display 10 concerning this example is not illustrated, it is equipped with the liquid crystal layer which enclosed liquid crystal and was formed between the glass substrate with which the transparent common electrode was prepared, the glass substrate with which the display electrode mentioned later, TFT (thin film transistor), the scanning line,

and a signal line were prepared, and these two glass substrates. In the case of the liquid crystal display for color displays, corresponding to each picture element, each color filter of R, G, and B is further prepared to the glass substrate with which the common electrode was prepared. In drawing 1, the sign 11 expresses the liquid crystal layer corresponding to each picture element. The common electrode common to one field of the liquid crystal layer 11 touches, and the opposite volt input terminal 12 is connected to this common electrode. The display electrode touches the field of another side of the liquid crystal layer 11 for every picture element. The drain of TFT13 prepared for every picture element is connected to this display electrode. A liquid crystal display 10 is further equipped with the capacitor 14 formed for every picture element, the end of this capacitor 14 is connected to each drain of TFT13, and the other end is connected to the common electrode.

[0010] A liquid crystal display 10 is scanning-line G1 -Gn as two or more scan electrodes further arranged so that it might intersect perpendicularly mutually in order to impress the electrical potential difference according to a video signal to the liquid crystal layer 11 in the picture element of arbitration. And it has signal-line S1G as two or more signal electrodes, S1R, S1B, —SmB. each — scanning-line G1 -Gn every [in / respectively / the picture element of one line] — it connects with the gate of TFT13. Each signal-line S1 G-SmB is connected to each source of TFT13 in the picture element of one train, respectively. In addition, in this example, the picture element of one line connected to the one scanning line is repeatedly arranged in order of the picture element for G, the picture element for R, and the picture element for B. Therefore, signal-line S1G, S1R, and S1B are the signal lines corresponding to the continuous picture element for G, the picture element for R, and the picture element for B. a liquid crystal display — further — each — scanning-line G1 -Gn It has the connected vertical-drive circuit 15 and the level actuation circuit 16 connected to each signal-line S1 G-SmB.

[0011] Here, the outline of actuation of the liquid crystal display 10 shown in drawing 1 is explained. With this liquid crystal display 10, it is scanning-line G1 -Gn by the vertical-drive circuit 15. TFT13 in the picture element of one line connected to the scanning line with which it received, the scan pulse was impressed in order, and the scan pulse was impressed will be in an ON state. While the scan pulse is impressed to the one scanning line, a video signal is impressed in order to signal-line S1 G-SmB, this video signal is impressed to a capacitor 14 by the level actuation circuit 16 through TFT13 of an ON state, and the charge according to a video signal is charged by the capacitor 14 by it. This charge will impress the electrical potential difference according to a video signal to the liquid crystal layer 11 of each picture element connected to the scanning line until the scanning line is chosen next.

[0012] Drawing 2 is the circuit diagram showing the configuration of the level actuation circuit 16 in drawing 1. The level actuation circuit 16 is equipped with the control signal creation circuit 22 with the shift register section 211 connected to signal-line S1G of 1 set of continuous picture elements for G, the picture element for R, and the picture element for B, S1R, S1 B;S2G, S2R, and S2B;—, respectively, 212, and —. The level actuation circuit 16 is equipped with the input terminals 23-28 for inputting each video signal of level start signal HST, mode signal mode, and the level clocks HCK, G, R, and B further, respectively. The control signal creation circuit 22 is [the input edge for inputting level start signal HST, mode signal mode, and the level clock HCK respectively, and] clock signal CLK, an enable signal EN1, EN2, and EN3, respectively. It has the outgoing end for outputting. In addition, level start signal HST, the level clock HCK, and mode signal mode are generated by the external controller.

[0013] the shift register section 211 with the shift component 31, ends are the picture element for G, a picture element for R, and a picture element for B, respectively — each — it has three picture element switches 32G, 32R, and 32B connected to signal-line S1G, S1R, and S1B, and three AND gates 33G, 33R, and 33B. It has an input edge for inputting level start signal HST and a clock signal CLK, respectively, and an outgoing end for outputting output signals OUT and SHout1, respectively, level start signal HST is inputted, it shifts by one clock with a clock signal CLK, and the shift component 31 is the shift register section 212 of the next step as an output signal OUT. While sending, a clock signal CLK shifts by the half period, and it outputs as an output signal SHout1. An output signal SHout1 is inputted

into the input edge of one way each of AND gates 33G, 33R, and 33B. The enable signal EN1 outputted to the input edge of each another side of AND gates 33G, 33R, and 33B from the control signal creation circuit 22, respectively, EN2, and EN3. It is inputted. Each other end of the picture element switches 32G, 32R, and 32B is connected to the input terminals 26, 27, and 28 for inputting each video signal of G, B, and R, respectively. Each outgoing end of AND gates 33G, 33R, and 33B is connected to the control terminal of the picture element switches 32G, 32R, and 32B, respectively.

[0014] The shift register section 212 and — are also the shift register section 212. Although it is the same configuration, in these shift register sections 212 and —, it differs in that the output signal OUT of the shift component 31 in the shift register section of the preceding paragraph is inputted instead of the shift component 31 being level start signal HST.

[0015] Next, with reference to drawing 3 and drawing 4, actuation of the level actuation circuit 16 shown in drawing 2 is explained. The control signal creation circuit 22 carries out the sequential sampling of the video signal for every color of G, R, and B for constituting a color picture to different timing by mode signal mode inputted from an input terminal 24, samples simultaneously the mode 1 of high resolution and the video signal for every color which carry out sequential supply to the signal line corresponding to each color, and chooses as the signal line corresponding to each color the mode 2 supplied simultaneously. The mode 1 is suitable for a monochrome display, or the color display for AV, and the mode 2 is suitable for, for example, the color display for OA.

[0016] Drawing 3 is the timing chart showing actuation of the level actuation circuit 16 when choosing the mode 1. The control signal creation circuit 22 is the clock signal CLK and enable signal EN1 which used inputted level start signal HST (drawing 3 (a)) as reset-signal RES for phase doubling of an internal control signal, and were shown in drawing 3 (c) – (f) by using the level clock HCK (drawing 3 (b)) as a basic clock, EN2, and EN3. It creates, and outputs. Here, a clock signal CLK is a signal 3 times the period of the level clock HCK. Moreover, an enable signal EN1, EN2, and EN3. It is a signal with the low-level period for four clocks of the high-level period for two clocks of the level clock HCK, and the level clock HCK, and is the signal with which the two-clock [every] phase of the level clock HCK shifted. Shift register section 211 The shift component 31 shifts level start signal HST by one clock with a clock signal CLK then, and it is the shift register section 212 of the next step as an output signal OUT. While sending, the output signal SHout1 (drawing 3 (g)) with which the clock signal CLK shifted level start signal HST by the half period is outputted. An output signal SHout1 is inputted into the input edge of one way each of AND gates 33G, 33R, and 33B, and they are an enable signal EN1, EN2, and EN3 in the input edge of each another side. Since it is carried out. The output signals Gout1, Rout1, and Bout1, of AND gates 33G, 33R, and 33B came to be shown in drawing 3 (h) – (j), and each picture element switches 32G, 32R, and 32B are controlled by these signals Gout1, Rout1, and Bout1. The period when signals Gout1, Rout1, and Bout1 are high-level, and each picture element switches 32G, 32R, and 32B serve as ON, the video signal for every color is sampled, and sequential supply is carried out at signal-line S1G, S1R, and S1B through each picture element switches 32G, 32R, and 32B. The shift register section 212 and — are also performed one by one to the timing which was at a time in one clock of same actuation with the clock signal CLK.

[0017] Thus, in the mode 1, by each picture element of G, continuous B, and continuous R, since the video signal for every color is sampled in the form which the phase shifted, each picture element will output the information on a different location in a subject-copy image, respectively, and though it is the number of the same shift components 31 as the former, the resolution of liquid crystal display 10 the very thing increases 3 times. In addition, in the case of a monochrome display, it is clear that resolution increases 3 times, but also in color display, linear repeatability improves from each picture element of G, B, and R outputting the information on a different location in a subject-copy image, respectively, and resolution increases 3 times seemingly.

[0018] Drawing 4 is the timing chart showing actuation of the level actuation circuit 16 when choosing the mode 2. In this case, an external controller shall output the clock of one 3 times the period of this

compared with the time of mode 1 selection as a level clock HCK (drawing 4 (b)). Level start signal HST (drawing 4 (a)) is used for the control signal creation circuit 22 as reset-signal RES for phase doubling of an internal control signal like the time of mode 1 selection, it creates the same clock signal CLK (drawing 4 (b)) as the level clock HCK, and is an enable signal EN1, EN2, and EN3. Suppose that it is always high-level. In addition, an external controller outputs the same level clock HCK as the time of mode 1 selection, and you may make it the control signal creation circuit 22 create a clock signal CLK like the time of mode 1 selection. Shift register section 211 The same actuation as the time of mode 1 selection is performed, and the output signal SHout1 of the shift component 31 came to be shown in drawing 4 (c). At the time of mode 2 selection, they are an enable signal EN1, EN2, and EN3. Since it is always high-level, it is signal SHout1 itself and the picture element switches 32G, 32R, and 32B will be controlled. Therefore, the output signals Gout1, Rout1, and Bout1 of AND gates 33G, 33R, and 33B serve as the same timing, as shown in drawing 4 (d), and the video signal for every color is sampled with the same phase, and they are simultaneously supplied to signal-line S1G, S1R, and S1B through each picture element switches 32G, 32R, and 32B. The shift register section 212 and — are also performed one by one to the timing which was at a time in one clock of same actuation with the clock signal CLK. [0019] It can drive by the different actuation approach according to the objects for a display (the color display for AV, a monochrome display, color display for OA, etc.), without preparing outside the processing circuit which adjusts the phase of the video signal for every color according to the liquid crystal display 10 concerning this example, as explained above. Moreover, the configuration of an external controller can be considered as the same configuration irrespective of the object for a display. Moreover, resolution can be raised by liquid crystal display 10 the very thing. Moreover, although the level actuation circuit 16 must take various functions and a configuration by the demand of the specification of a liquid crystal display 10, the object, cost, a development cycle, a circumference circuit, etc., according to the liquid crystal display 10 concerning this example, it becomes possible [dealing with more demands compared with the former].

[0020] Drawing 5 is the circuit diagram showing the configuration of the level actuation circuit 16 in the liquid crystal display concerning the 2nd example of this invention. The level actuation circuit 16 in this example is equipped with the shift register section 411 connected to signal-line S1G of 1 set of continuous picture elements for G, the picture element for R, and the picture element for B, S1R, S1B; S2G, S2R, and S2B; —, respectively, 412, —, the control signal creation circuit 42 and the same input terminals 23–28 as the 1st example. The control signal creation circuit 42 is the input edge and the three-phase-circuit clock signal CLK1 for inputting level start signal HST, mode signal mode, and the level clock HCK, respectively, CLK2, and CLK3. It has the outgoing end for outputting.

[0021] the shift register section 411 ends are 1 set of picture elements for G, a picture element for R, and a picture element for B with three shift components 43G, 43R, and 43B, respectively — each — it has three picture element switches 32G, 32R, and 32B connected to signal-line S1G, S1R, and S1B. Shift component 43G are level start signal HST and a clock signal CLK1. It inputs and is a clock signal CLK1. Level start signal HST is incorporated in a fall, and it is a clock signal CLK1. It is an output signal SHout by the start. It changes. Similarly, as for shift component 43R, level start signal HST and a clock signal CLK2 change. It inputs and is a clock signal CLK2. Level start signal HST is incorporated in a fall, and it is a clock signal CLK2. It is an output signal SHout by the start. Changing, shift component 43B is level start signal HST and a clock signal CLK3. It inputs and is a clock signal CLK3. Level start signal HST is incorporated in a fall, and it is a clock signal CLK3. It is an output signal SHout by the start. Output signal SHout of each shift components 43G, 43R, and 43B It is the shift register section 412 of the next step, respectively. It is sent. Each other end of the picture element switches 32G, 32R, and 32B is connected to the input terminals 26, 27, and 28 for inputting each video signal of G, B, and R, respectively. Each outgoing end of the shift components 43G, 43R, and 43B is connected to the control terminal of the picture element switches 32G, 32R, and 32B, respectively.

[0022] The shift register section 412 and — are also the shift register section 412. Output signal SHout

of the shift components 43G, 43R, and 43B in the shift register section of the preceding paragraph instead of the shift components 43G, 43R, and 43B being level start signal HST in these shift register sections 412 and —, although it is the same configuration It differs in that it inputs.

[0023] Next, with reference to drawing 6 and drawing 7 , actuation of the level actuation circuit 16 shown in drawing 5 is explained.

[0024] Drawing 6 is the timing chart showing actuation of the level actuation circuit 16 when choosing the mode 1. The control signal creation circuit 42 is the three-phase-circuit clock signal CLK1 which used inputted level start signal HST (drawing 6 (a)) as reset-signal RES for phase doubling of an internal control signal, and was shown in drawing 6 (c) – (e) by using the level clock HCK (drawing 6 (b)) as a basic clock, CLK2, and CLK3. It creates and outputs. Here, they are a clock signal CLK1, CLK2, and CLK3. It is a signal 3 times the period of the level clock HCK, respectively, and is the signal with which the two-clock [every] phase of the level clock HCK shifted. Shift register section 411 Output signal SHout of the shift components 43G, 43R, and 43B It becomes the signals Gout1, Rout1, and Bout1. (drawing 6 R> 6 (f) – (h)) which control each picture element switches 32G, 32R, and 32B, respectively. The period when signals Gout1, Rout1, and Bout1 are high-level, and each picture element switches 32G, 32R, and 32B serve as ON, the video signal for every color is sampled, and sequential supply is carried out at signal-line S1G, S1R, and S1B through each picture element switches 32G, 32R, and 32B. The same actuation is a clock signal CLK1, CLK2, and CLK3. The shift register section 412 and — are also performed one by one to the timing which was at a time in one clock. It is the shift register section 412 to drawing 6 (i) as an example. The output signal Gout2 of shift component 43G is shown.

[0025] Thus, in the mode 1, by each picture element of G, continuous B, and continuous R, since the video signal for every color is sampled in the form which the phase shifted, the resolution of liquid crystal display 10 the very thing increases 3 times like the 1st example.

[0026] Drawing 7 is the timing chart showing actuation of the level actuation circuit 16 when choosing the mode 2. In this case, an external controller shall output the clock of one 3 times the period of this compared with the time of mode 1 selection as a level clock HCK (drawing 7 (b)). Level start signal HST (drawing 7 (a)) is used for the control signal creation circuit 42 as reset-signal RES for phase doubling of an internal control signal like the time of mode 1 selection, and it creates the same clock signal CLK1 as the level clock HCK, CLK2, and CLK3 (drawing 7 (c)). Shift register section 411 In order for the shift components 43G, 43R, and 43B to synchronize then and to operate, it is the output signal SHout of each shift components 43G, 43R, and 43B. It becomes the same signal whose phase suited altogether, and the signals Gout1, Rout1, and Bout1 which control each picture element switches 32G, 32R, and 32B also turn into the same signal (drawing 7 (d)). Therefore, the video signal for every color is sampled with the same phase, and is simultaneously supplied to signal-line S1G, S1R, and S1B through each picture element switches 32G, 32R, and 32B. The same actuation is a clock signal CLK1, CLK2, and CLK3. The shift register section 412 and — are also performed one by one to the timing which was at a time in one clock.

[0027] According to this example, since the sampling time of the video signal for every color is long compared with the 1st example, it becomes a display image smooth in the case of the color display for AV. The configuration of others of this example, actuation, and effectiveness are the same as the 1st example.

[0028] In addition, you may make it this invention change the mode 1 and the mode 2 into a case by the part in 1 screen so that it may not be limited to each above-mentioned example, for example, the color display screen for AV may be outputted to the part in the color display screen for OA.

[0029]

[Effect of the Invention] As explained above, according to the liquid crystal display of this invention, it sets in a level actuation circuit. The sequential sampling of the video signal for every color for constituting a color picture is carried out to different timing. Since the 1st mode which carries out sequential supply, and the video signal for every color are simultaneously sampled to the signal

electrode corresponding to each color and it enabled it to choose as the signal electrode corresponding to each color the 2nd mode supplied simultaneously. It can drive by the actuation approach which is different according to the object for a display, without preparing outside the processing circuit which adjusts the phase of the video signal for every color. Moreover, the configuration of an external controller can be considered as the configuration same irrespective of the object for a display, and it is effective in the ability to raise resolution with the liquid crystal display itself further.

[Translation done.]

* NOTICES *

JP0 and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the configuration of the liquid crystal display concerning the 1st example of this invention.

[Drawing 2] It is the circuit diagram showing the configuration of the level actuation circuit in drawing 1.

[Drawing 3] It is the timing chart showing the actuation at the time of mode 1 selection of the level actuation circuit shown in drawing 2.

[Drawing 4] It is the timing chart showing the actuation at the time of mode 2 selection of the level actuation circuit shown in drawing 2.

[Drawing 5] It is the circuit diagram showing the configuration of the level actuation circuit in the liquid crystal display concerning the 2nd example of this invention.

[Drawing 6] It is the timing chart showing the actuation at the time of mode 1 selection of the level actuation circuit shown in drawing 5.

[Drawing 7] It is the timing chart showing the actuation at the time of mode 2 selection of the level actuation circuit shown in drawing 5.

[Description of Notations]

10 Liquid Crystal Display

11 Liquid Crystal Layer

13 TFT

14 Capacitor

15 Vertical-Drive-Circuit

16 Level Actuation Circuit

211 212 — Shift Register Section

22 Control Signal Creation Circuit

31 Shift Component

32G, 32R, 32B Picture element switch

33G, 33R, 33B AND gate

[Translation done.]

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 09 G 3/36			G 09 G 3/36	
G 02 F 1/133	5 5 0		G 02 F 1/133	5 5 0
H 04 N 5/66	1 0 2		H 04 N 5/66	1 0 2 B
9/30			9/30	

審査請求 未請求 請求項の数1 FD (全 7 頁)

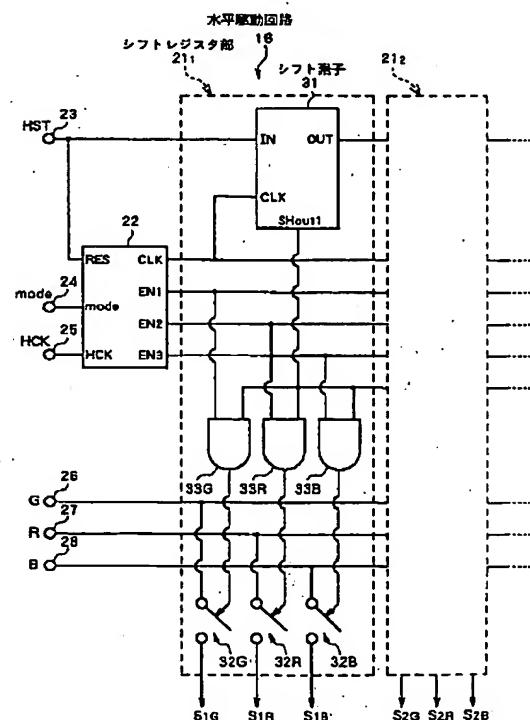
(21)出願番号	特願平7-200233	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成7年(1995)7月14日	(72)発明者	▲せい▼原 浩一郎 鹿児島県国分市野口北5番地1号、ソニー 国分株式会社内

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 各色毎のビデオ信号の位相を調整する処理回路を外部に設けることなく、表示対象に応じて異なる駆動方法で駆動できるようとする。

【構成】 水平駆動回路1 6における制御信号作成回路2 2は、カラー画像を構成するためのG, R, Bの各色毎のビデオ信号を異なるタイミングで順次サンプリングして各色に対応した信号線に順次供給する高解像度のモード1と各色毎のビデオ信号を同時にサンプリングして各色に対応した信号線に同時に供給するモード2を選択する。モード1では絵素スイッチ3 2 G, 3 2 R, 3 2 Bは異なる位相で各色毎のビデオ信号をサンプリングし信号線S 1 G, S 1 R, S 1 Bに順次供給する。モード2では絵素スイッチ3 2 G, 3 2 R, 3 2 Bは同じ位相で各色毎のビデオ信号をサンプリングし信号線S 1 G, S 1 R, S 1 Bに同時に供給する。



(2)

1

【特許請求の範囲】

【請求項1】 液晶層と、各絵素における液晶層にビデオ信号に応じた電圧を印加するために、互いに直交するように配列された複数の走査電極および複数の信号電極と、走査電極を選択する垂直駆動回路と、この垂直駆動回路によって選択された走査電極に対応する各絵素における液晶層にビデオ信号に応じた電圧を印加するために、信号電極を選択してビデオ信号を供給する水平駆動回路であって、カラー画像を構成するための各色毎のビデオ信号を異なるタイミングで順次サンプリングして各色に対応した信号電極に順次供給する第1のモードと各色毎のビデオ信号を同時にサンプリングして各色に対応した信号電極に同時に供給する第2のモードの一方を選択可能な水平駆動回路とを備えたことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、表示対象に応じて異なる駆動方法で駆動可能な液晶表示装置に関する。

【0002】

【従来の技術】 液晶表示装置は、コンピュータ、ワードプロセッサ等のOA（オフィス・オートメーション）機器のディスプレイや、ビデオカメラ等のAV（オーディオ・ビジュアル）機器のディスプレイ等の種々の用途に用いられている。従来、液晶表示装置にOA用のカラー表示を行わせる場合には、ドット毎に色が指定されるため、各色の再現性を良好にすると共に各色の座標を合わせこむ必要性があることから、液晶表示装置は、入力されるR（赤）、G（緑）、B（青）の各色毎のビデオ信号を3ドットを一組として同時にサンプリングする回路構成になっていた。

【0003】 一方、上述の構成の液晶表示装置にAV用のカラー表示あるいは色フィルタを用いないモノクロ表示を行わせる場合には、OA用の場合と異なり各色毎のビデオ信号は連続的に変化するものであるため、リニアな再現性と見かけ上の解像度を上げるために、上述のような各色毎のビデオ信号の同時サンプリングは好ましくない。そこで、従来は、リニアな再現性と見かけ上の解像度を上げる目的で、R、G、Bの連続性とドットズレ等の補正するために各色毎のビデオ信号の位相を調整する、すなわち位相を変える処理回路を外部に設けていた。

【0004】

【発明が解決しようとする課題】 このように表示対象に応じてビデオ信号の位相を変える場合には、表示対象に応じて専用の表示装置を開発するか、あるいは共通の液晶表示装置に対して選択的に処理回路を追加しなければならない。しかしながら、専用の表示装置を開発するのにはコストが増大するという問題点がある。また、共通の

2

液晶表示装置に対して選択的に処理回路を追加する場合には、処理回路を追加した状態で適正な動作となるよう回路の動作を調整するのが難しいという問題点がある。

【0005】 本発明はかかる問題点に鑑みてなされたもので、その課題は、各色毎のビデオ信号の位相を調整する処理回路を外部に設けることなく、表示対象に応じて異なる駆動方法で駆動できるようにした液晶表示装置を提供することにある。

【0006】

【課題を解決するための手段】 本発明の液晶表示装置は、液晶層と、各絵素における液晶層にビデオ信号に応じた電圧を印加するために、互いに直交するように配列された複数の走査電極および複数の信号電極と、走査電極を選択する垂直駆動回路と、この垂直駆動回路によって選択された走査電極に対応する各絵素における液晶層にビデオ信号に応じた電圧を印加するために、信号電極を選択してビデオ信号を供給する水平駆動回路であって、カラー画像を構成するための各色毎のビデオ信号を異なるタイミングで順次サンプリングして各色に対応した信号電極に順次供給する第1のモードと各色毎のビデオ信号を同時にサンプリングして各色に対応した信号電極に同時に供給する第2のモードの一方を選択可能な水平駆動回路とを備えたものである。

【0007】

【作用】 本発明の液晶表示装置では、水平駆動回路は、第1のモードが選択された場合には各色毎のビデオ信号を異なるタイミングで順次サンプリングして各色に対応した信号電極に順次供給し、第2のモードが選択された場合には各色毎のビデオ信号を同時にサンプリングして各色に対応した信号電極に同時に供給する。垂直駆動回路によって選択された走査電極に対応する複数の絵素のうち、各色毎のビデオ信号が供給された信号電極に対応する絵素における液晶層には、各色毎のビデオ信号に応じた電圧が印加される。

【0008】

【実施例】 以下、本発明の実施例について図面を参照して詳細に説明する。

【0009】 図1は本発明の第1の実施例に係る液晶表示装置の構成を示す回路図である。本実施例に係る液晶表示装置10は、図示しないが、透明なコモン電極が設けられたガラス基板と、後述する表示電極、TFT（薄膜トランジスタ）、走査線および信号線が設けられたガラス基板と、これら2枚のガラス基板間に液晶を封入して形成された液晶層とを備えている。カラー表示用の液晶表示装置の場合には、コモン電極が設けられたガラス基板に対して更に、各絵素に対応してR、G、Bの各色フィルタが設けられる。図1において、符号11は各絵素に対応した液晶層を表している。液晶層11の一方の面には共通のコモン電極が接触しており、このコモン電

(3)

3

極には対向電圧入力端子12が接続されている。液晶層11の他方の面には絵素毎に表示電極が接触している。この表示電極には、各絵素毎に設けられたTFT13のドレインが接続されている。液晶表示装置10は、更に、各絵素毎に設けられたキャパシタ14を備え、このキャパシタ14の一端は各TFT13のドレインに接続され、他端はコモン電極に接続されている。

【0010】液晶表示装置10は、更に、任意の絵素における液晶層11にビデオ信号に応じた電圧を印加するために、互いに直交するように配列された複数の走査電極としての走査線G₁～G_nおよび複数の信号電極としての信号線S_{1G}、S_{1R}、S_{1B}、…S_{mB}を備えている。各走査線G₁～G_nは、それぞれ1行の絵素における各TFT13のゲートに接続されている。各信号線S_{1G}～S_{mB}は、それぞれ1列の絵素における各TFT13のソースに接続されている。なお、本実施例では、1つの走査線に接続された1行の絵素は、G用絵素、R用絵素、B用絵素の順で繰り返し配列されている。従って、信号線S_{1G}、S_{1R}、S_{1B}は連続するG用絵素、R用絵素、B用絵素に対応する信号線である。液晶表示装置は、更に、各走査線G₁～G_nに接続された垂直駆動回路15と、各信号線S_{1G}～S_{mB}に接続された水平駆動回路16とを備えている。

【0011】ここで、図1に示した液晶表示装置10の動作の概要について説明する。この液晶表示装置10では、垂直駆動回路15によって、走査線G₁～G_nに対して順に走査パルスが印加され、走査パルスが印加された走査線に接続された1行の絵素におけるTFT13がオン状態となる。1つの走査線に対して走査パルスが印加されている間に、水平駆動回路16によって、信号線S_{1G}～S_{mB}に対して順にビデオ信号が印加され、このビデオ信号はオン状態のTFT13を介してキャパシタ14に印加され、キャパシタ14にビデオ信号に応じた電荷が充電される。この電荷は、次に走査線が選択されるまで、走査線に接続された各絵素の液晶層11にビデオ信号に応じた電圧を印加することになる。

【0012】図2は図1における水平駆動回路16の構成を示す回路図である。水平駆動回路16は、それぞれ1組の連続するG用絵素、R用絵素、B用絵素の信号線S_{1G}、S_{1R}、S_{1B}；S_{2G}、S_{2R}、S_{2B}；…に接続されたシフトレジスタ部211、212、…と、制御信号作成回路22とを備えている。水平駆動回路16は、更に、それぞれ水平スタート信号HST、モード信号mode、水平クロックHCK、G、R、Bの各ビデオ信号を入力するための入力端子23～28を備えている。制御信号作成回路22は、それぞれ水平スタート信号HST、モード信号mode、水平クロックHCKを入力するための入力端と、それぞれクロック信号CLK、イネーブル信号EN₁、EN₂、EN₃を出力するための出力端とを有している。なお、水平スタート信号HST、

水平クロックHCKおよびモード信号modeは外部コントローラによって生成される。

【0013】シフトレジスタ部211は、シフト素子31と、それぞれ一端がG用絵素、R用絵素、B用絵素の各信号線S_{1G}、S_{1R}、S_{1B}に接続された3つの絵素スイッチ32G、32R、32Bと、3つのアンドゲート33G、33R、33Bとを備えている。シフト素子31は、それぞれ水平スタート信号HST、クロック信号CLKを入力するための入力端と、それぞれ出力信号OUT、SHout1を出力するための出力端とを有し、水平スタート信号HSTを入力し、クロック信号CLKで1クロック分シフトして出力信号OUTとして次段のシフトレジスタ部212へ送ると共に、クロック信号CLKの半周期分シフトして、出力信号SHout1として出力するようになっている。出力信号SHout1はアンドゲート33G、33R、33Bの各一方の入力端に入力されるようになっている。アンドゲート33G、33R、33Bの各他方の入力端には、それぞれ制御信号作成回路22から出力されるイネーブル信号EN₁、EN₂、EN₃が入力されるようになっている。絵素スイッチ32G、32R、32Bの各他端は、それぞれG、B、Rの各ビデオ信号を入力するための入力端子26、27、28に接続されている。アンドゲート33G、33R、33Bの各出力端は、それぞれ絵素スイッチ32G、32R、32Bの制御端子に接続されている。

【0014】シフトレジスタ部212、…も、シフトレジスタ部211と同様の構成であるが、これらのシフトレジスタ部212、…では、シフト素子31が水平スタート信号HSTの代わりに前段のシフトレジスタ部におけるシフト素子31の出力信号OUTを入力する点が異なっている。

【0015】次に、図3および図4を参照して、図2に示した水平駆動回路16の動作について説明する。制御信号作成回路22は、入力端子24より入力されるモード信号modeにより、カラー画像を構成するためのG、R、Bの各色毎のビデオ信号を異なるタイミングで順次サンプリングして各色に対応した信号線に順次供給する高解像度のモード1と各色毎のビデオ信号を同時にサンプリングして各色に対応した信号線に同時に供給するモード2とを選択する。モード1は例えばモノクロ表示やAV用カラー表示に適しており、モード2は例えばOA用カラー表示に適している。

【0016】図3はモード1を選択したときの水平駆動回路16の動作を示すタイミング図である。制御信号作成回路22は、入力した水平スタート信号HST(図3(a))を内部制御信号の位相合わせのためのリセット信号RESとして使用し、水平クロックHCK(図3(b))を基本クロックとして、図3(c)～(f)に示したクロック信号CLKおよびイネーブル信号EN₁、EN₂、EN₃を作成し、出力する。ここで、ク

(4)

5

ロック信号CLKは水平クロックHCKの3倍の周期の信号である。また、イネーブル信号EN₁、EN₂、EN₃は水平クロックHCKの2クロック分のハイレベル期間、水平クロックHCKの4クロック分のローレベル期間を持つ信号であり、且つ水平クロックHCKの2クロック分ずつ位相がずれた信号である。シフトレジスタ部21₁では、シフト素子31が水平スタート信号HSTをクロック信号CLKで1クロック分シフトして出力信号OUTとして次段のシフトレジスタ部21₂へ送ると共に、水平スタート信号HSTをクロック信号CLKの半周期分シフトした出力信号SH_{out1}（図3（g））を出力する。アンドゲート33G、33R、33Bの各一方の入力端には出力信号SH_{out1}が入力され、各他の入力端にはイネーブル信号EN₁、EN₂、EN₃されるので、アンドゲート33G、33R、33Bの出力信号G_{out1}、R_{out1}、B_{out1}は図3（h）～（j）に示したようになり、この信号G_{out1}、R_{out1}、B_{out1}によって各絵素スイッチ32G、32R、32Bが制御される。信号G_{out1}、R_{out1}、B_{out1}がハイレベルの期間、各絵素スイッチ32G、32R、32Bがオンとなり、各色毎のビデオ信号がサンプリングされ、各絵素スイッチ32G、32R、32Bを経て信号線S_{1G}、S_{1R}、S_{1B}に順次供給される。同様の動作は、クロック信号CLKで1クロック分ずつ遅れたタイミングでシフトレジスタ部21₂、…でも順次行われる。

【0017】このようにモード1では、連続したG、B、Rの各絵素では、位相がシフトした形で各色毎のビデオ信号がサンプリングされるので、各絵素がそれぞれ原画像における異なる位置の情報を出力することになり、従来と同じシフト素子31の数でありながら、液晶表示装置10自体の解像度が3倍になる。なお、解像度が3倍になることは、モノクロ表示の場合には明らかであるが、カラー表示の場合も、G、B、Rの各絵素がそれぞれ原画像における異なる位置の情報を出力することからリニアな再現性が向上し、見かけ上解像度が3倍になる。

【0018】図4はモード2を選択したときの水平駆動回路16の動作を示すタイミング図である。この場合、外部コントローラは、水平クロックHCK（図4（b））としてモード1選択時に比べて3倍の周期のクロックを出力するものとする。制御信号作成回路22は、モード1選択時と同様に水平スタート信号HST（図4（a））を内部制御信号の位相合わせのためのリセット信号RESとして使用し、水平クロックHCKと同じクロック信号CLK（図4（b））を作成し、イネーブル信号EN₁、EN₂、EN₃を常にハイレベルとする。なお、外部コントローラがモード1選択時と同じ水平クロックHCKを出力し、制御信号作成回路22がモード1選択時と同様にしてクロック信号CLKを作成するようにしても良い。シフトレジスタ部21₁はモー

(4)

6

ド1選択時と同様の動作を行い、シフト素子31の出力信号SH_{out1}は図4（c）に示したようになる。モード2選択時には、イネーブル信号EN₁、EN₂、EN₃を常にハイレベルになっているため、信号SH_{out1}そのもので絵素スイッチ32G、32R、32Bを制御することになる。従って、アンドゲート33G、33R、33Bの出力信号G_{out1}、R_{out1}、B_{out1}は図4（d）に示したように同じタイミングとなり、各色毎のビデオ信号が同じ位相でサンプリングされ、各絵素スイッチ32G、32R、32Bを経て信号線S_{1G}、S_{1R}、S_{1B}に同時に供給される。同様の動作は、クロック信号CLKで1クロック分ずつ遅れたタイミングでシフトレジスタ部21₂、…でも順次行われる。

【0019】以上説明したように本実施例に係る液晶表示装置10によれば、各色毎のビデオ信号の位相を調整する処理回路を外部に設けることなく、表示対象（AV用カラー表示、モノクロ表示、OA用カラー表示等）に応じて異なる駆動方法で駆動することができる。また、外部コントローラの構成は表示対象にかかわらず同様の構成とすることが可能である。また、液晶表示装置10自体で解像度を上げることができる。また、水平駆動回路16は、液晶表示装置10の仕様、目的、コスト、開発期間および周辺回路等の要求により様々な機能、構成を採らなければならないが、本実施例に係る液晶表示装置10によれば、従来に比べてより多くの要求に対応することが可能となる。

【0020】図5は本発明の第2の実施例に係る液晶表示装置における水平駆動回路16の構成を示す回路図である。本実施例における水平駆動回路16は、それぞれ1組の連続するG用絵素、R用絵素、B用絵素の信号線S_{1G}、S_{1R}、S_{1B}；S_{2G}、S_{2R}、S_{2B}；…に接続されたシフトレジスタ部41₁、41₂、…と、制御信号作成回路42と、第1の実施例と同様の入力端子23～28とを備えている。制御信号作成回路42は、それぞれ水平スタート信号HST、モード信号mode、水平クロックHCKを入力するための入力端と、3相クロック信号CLK₁、CLK₂、CLK₃を出力するための出力端とを有している。

【0021】シフトレジスタ部41₁は、3つのシフト素子43G、43R、43Bと、それぞれ一端が1組のG用絵素、R用絵素、B用絵素の各信号線S_{1G}、S_{1R}、S_{1B}に接続された3つの絵素スイッチ32G、32R、32Bとを備えている。シフト素子43Gは、水平スタート信号HSTとクロック信号CLK₁を入力し、クロック信号CLK₁の立下りで水平スタート信号HSTを取り込み、クロック信号CLK₁の立上がりで出力信号SH_{out}が変化するようになっている。同様に、シフト素子43Rは、水平スタート信号HSTとクロック信号CLK₂を入力し、クロック信号CLK₂の立下りで水平スタート信号HSTを取り込み、クロック信号C

(5)

7

CLK₂ の立上がりで出力信号 SH_{out} が変化し、シフト素子 43B は、水平スタート信号 HST とクロック信号 CLK₃ を入力し、クロック信号 CLK₃ の立下りで水平スタート信号 HST を取り込み、クロック信号 CLK₃ の立上がりで出力信号 SH_{out} が変化するようになっている。各シフト素子 43G, 43R, 43B の出力信号 SH_{out} はそれぞれ次段のシフトレジスタ部 412 に送られるようになっている。絵素スイッチ 32G, 32R, 32B の各他端は、それぞれ G, B, R の各ビデオ信号を入力するための入力端子 26, 27, 28 に接続されている。シフト素子 43G, 43R, 43B の各出力端は、それぞれ絵素スイッチ 32G, 32R, 32B の制御端子に接続されている。

【0022】シフトレジスタ部 412, …もシフトレジスタ部 412 と同様の構成であるが、これらのシフトレジスタ部 412, …ではシフト素子 43G, 43R, 43B が水平スタート信号 HST の代わりに前段のシフトレジスタ部におけるシフト素子 43G, 43R, 43B の出力信号 SH_{out} を入力する点が異なっている。

【0023】次に、図 6 および図 7 を参照して、図 5 に示した水平駆動回路 16 の動作について説明する。

【0024】図 6 はモード 1 を選択したときの水平駆動回路 16 の動作を示すタイミング図である。制御信号作成回路 42 は、入力した水平スタート信号 HST (図 6 (a)) を内部制御信号の位相合わせのためのリセット信号 RES として使用し、水平クロック HCK (図 6 (b)) を基本クロックとして、図 6 (c) ~ (e) に示した 3 相クロック信号 CLK₁, CLK₂, CLK₃ を作成し、出力する。ここで、クロック信号 CLK₁, CLK₂, CLK₃ は、それぞれ水平クロック HCK の 3 倍の周期の信号であり、且つ水平クロック HCK の 2 クロック分ずつ位相がずれた信号である。シフトレジスタ部 411 のシフト素子 43G, 43R, 43B の出力信号 SH_{out} は、それぞれ各絵素スイッチ 32G, 32R, 32B を制御する信号 G_{out1}, R_{out1}, B_{out1} (図 6 (f) ~ (h)) となる。信号 G_{out1}, R_{out1}, B_{out1} がハイレベルの期間、各絵素スイッチ 32G, 32R, 32B がオンとなり、各色毎のビデオ信号がサンプリングされ、各絵素スイッチ 32G, 32R, 32B を経て信号線 S_{1G}, S_{1R}, S_{1B} に順次供給される。同様の動作は、クロック信号 CLK₁, CLK₂, CLK₃ で 1 クロック分ずつ遅れたタイミングでシフトレジスタ部 412, …でも順次行われる。一例として図 6 (i) にシフトレジスタ部 412 のシフト素子 43G の出力信号 G_{out2} を示す。

【0025】このようにモード 1 では、連続した G, B, R の各絵素では、位相がシフトした形で各色毎のビデオ信号がサンプリングされるので、第 1 の実施例と同様に、液晶表示装置 10 自体の解像度が 3 倍になる。

【0026】図 7 はモード 2 を選択したときの水平駆動

8

回路 16 の動作を示すタイミング図である。この場合、外部コントローラは、水平クロック HCK (図 7 (b)) としてモード 1 選択時に比べて 3 倍の周期のクロックを出力するものとする。制御信号作成回路 42 は、モード 1 選択時と同様に水平スタート信号 HST (図 7 (a)) を内部制御信号の位相合わせのためのリセット信号 RES として使用し、水平クロック HCK と同じクロック信号 CLK₁, CLK₂, CLK₃ (図 7 (c)) を作成する。シフトレジスタ部 411 では、シフト素子 43G, 43R, 43B が同期して動作するため、各シフト素子 43G, 43R, 43B の出力信号 SH_{out} は全て位相の合った同じ信号となり、各絵素スイッチ 32G, 32R, 32B を制御する信号 G_{out1}, R_{out1}, B_{out1} も同じ信号となる (図 7 (d))。従つて、各色毎のビデオ信号が同じ位相でサンプリングされ、各絵素スイッチ 32G, 32R, 32B を経て信号線 S_{1G}, S_{1R}, S_{1B} に同時に供給される。同様の動作は、クロック信号 CLK₁, CLK₂, CLK₃ で 1 クロック分ずつ遅れたタイミングでシフトレジスタ部 412, …でも順次行われる。

【0027】本実施例によれば、第 1 の実施例に比べて、各色毎のビデオ信号のサンプリング時間が長いので、AV 用カラー表示の場合に滑らかな表示画像となる。本実施例のその他の構成、動作および効果は第 1 の実施例と同様である。

【0028】なお、本発明は上記各実施例に限定されず、例えば、OA 用カラー表示画面中の一部に AV 用カラー表示画面を出力するように場合には、一画面中の部分によってモード 1 とモード 2 を変えるようにしても良い。

【0029】

【発明の効果】以上説明したように本発明の液晶表示装置によれば、水平駆動回路において、カラー画像を構成するための各色毎のビデオ信号を異なるタイミングで順次サンプリングして各色に対応した信号電極に順次供給する第 1 のモードと各色毎のビデオ信号を同時にサンプリングして各色に対応した信号電極に同時に供給する第 2 のモードとを選択できるようにしたので、各色毎のビデオ信号の位相を調整する処理回路を外部に設けることなく表示対象に応じて異なる駆動方法で駆動することができ、また、外部コントローラの構成を表示対象にかかわらず同様の構成とすることができ、更に、液晶表示装置自体で解像度を上げることができるという効果がある。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例に係る液晶表示装置の構成を示す回路図である。

【図 2】図 1 における水平駆動回路の構成を示す回路図である。

【図 3】図 2 に示した水平駆動回路のモード 1 選択時に

· (6)

9

おける動作を示すタイミング図である。

【図4】図2に示した水平駆動回路のモード2選択時における動作を示すタイミング図である。

【図5】本発明の第2の実施例に係る液晶表示装置における水平駆動回路の構成を示す回路図である。

【図6】図5に示した水平駆動回路のモード1選択時における動作を示すタイミング図である。

【図7】図5に示した水平駆動回路のモード2選択時における動作を示すタイミング図である。

【符号の説明】

10 液晶表示装置

11 液晶層

13 TFT

14 キャパシタ

1.5 垂直驅動回路

1.6 水平驅動回路

211, 212, ... シフトレジスタ部

2.2 制御信号作成回路

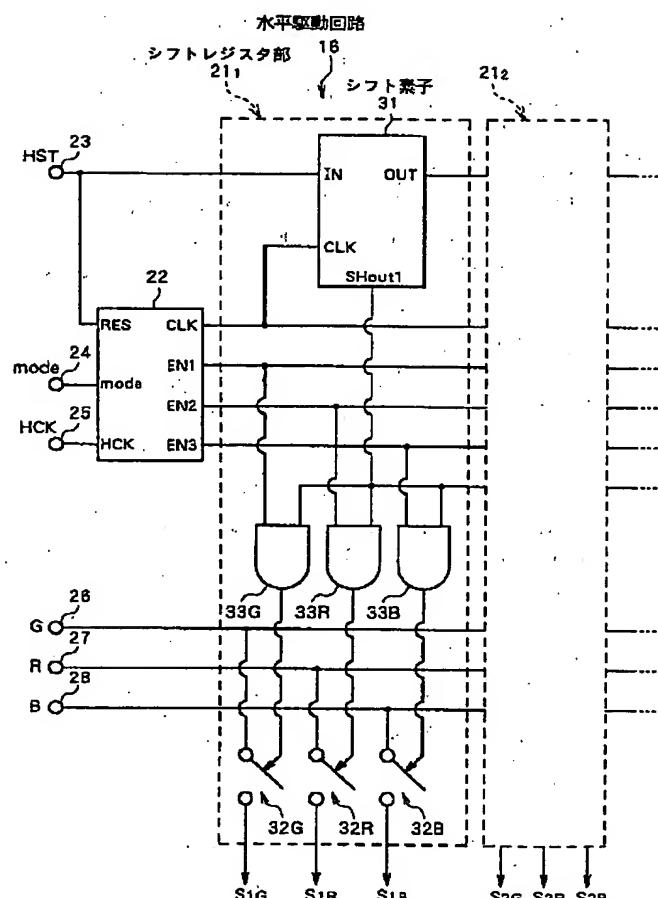
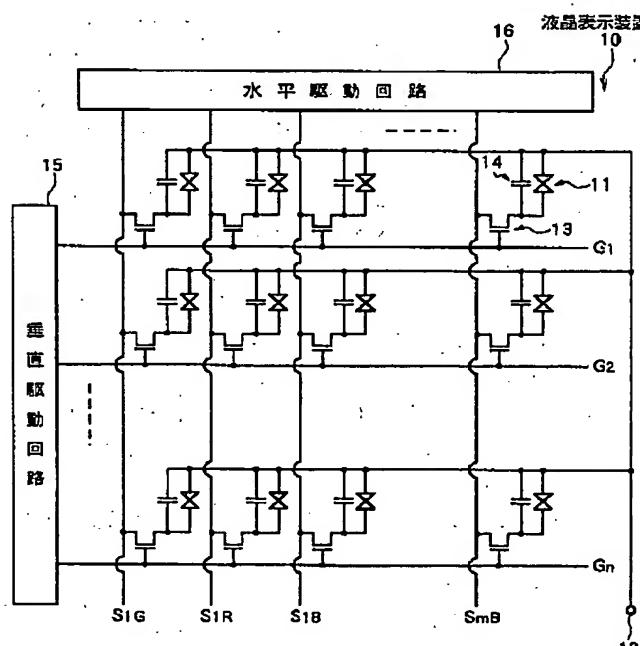
3.1 シフト素子

3.2 G, 3.2 R, 3.2 B 絵素スイッチ

¹⁰ 33G, 33R, 33B アンドゲート

[図 1]

[図2]



[図3]

[圖 4]

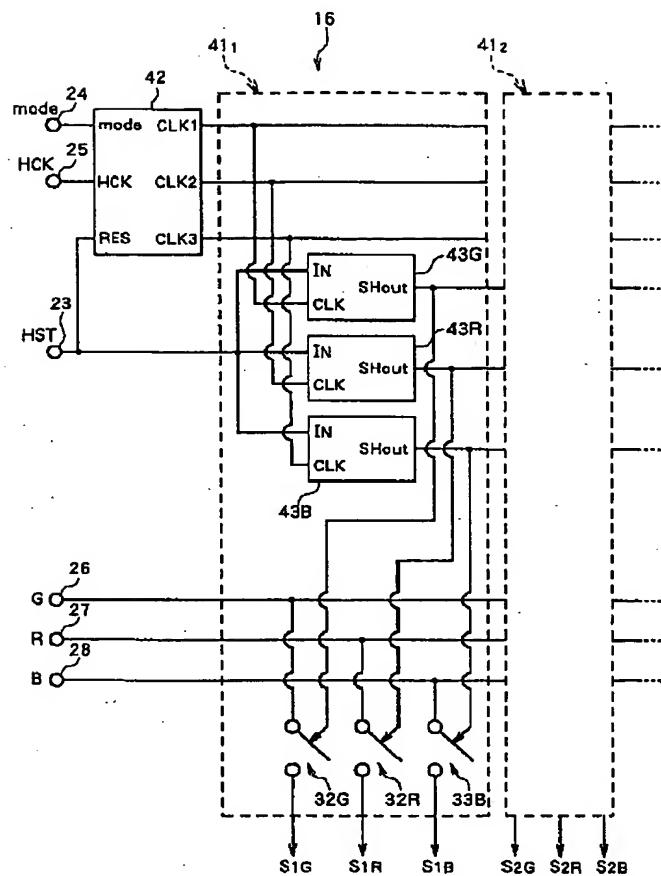
The figure displays a timing diagram with ten horizontal traces, each representing a different signal over time. The signals are labeled on the left as follows:

- (a) HST
- (b) HCK
- (c) CLK
- (d) EN1
- (e) EN2
- (f) ENS
- (g) SHout1
- (h) Gout1
- (i) Rout1
- (j) Bout1

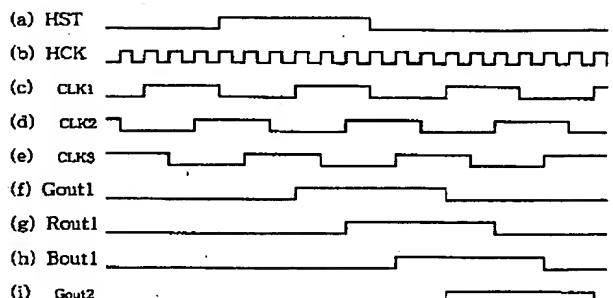
The waveforms show various digital logic levels and edge transitions. HST is a wide pulse. HCK is a high-frequency square wave. CLK is a slower square wave. EN1, EN2, and ENS are enable signals. SHout1, Gout1, Rout1, and Bout1 are output signals, likely representing data paths.

(7)

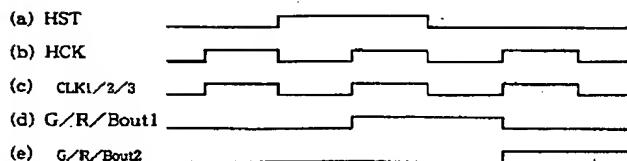
[図5]



【図6】



【図7】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.